

Family list

2 family member for:

JP4026825

Derived from 1 application.

[Back to JI](#)**1 THIN-FILM TRANSISTOR ARRAY AND PRODUCTION THEREOF**Publication info: **JP2628928B2 B2** - 1997-07-09**JP4026825 A** - 1992-01-30Data supplied from the **esp@cenet** database - Worldwide

THIN-FILM TRANSISTOR ARRAY AND PRODUCTION THEREOF

Publication number: JP4026825

Publication date: 1992-01-30

Inventor: HAYASAKA SATORU

Applicant: ALPS ELECTRIC CO LTD

Classification:

- International: G02F1/1343; G02F1/136; H01L29/786; G02F1/13;
H01L29/66; (IPC1-7): G02F1/136; H01L29/784

- european:

Application number: JP19900131754 19900522

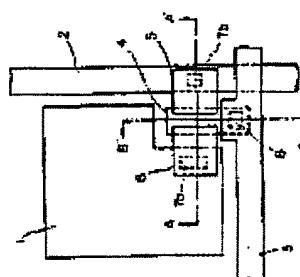
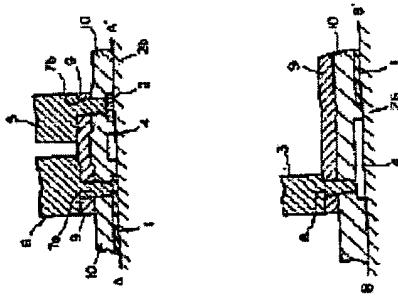
Priority number(s): JP19900131754 19900522

[Report a data error here](#)

Abstract of JP4026825

PURPOSE: To lower the resistance value of gate wirings and to lessen the delay in switching operation by forming a gate bus and a drain bus on a semiconductor film and connecting the gate bus and a gate electrode as well as a drain electrode and the drain bus via a contact hole penetrated through a gate insulating film and the semiconductor film.

CONSTITUTION: The gate electrode 4 and the drain bus 2 are formed on a substrate 26 and a picture element electrode 1 is formed. The gate insulating film 10 is formed on the gate electrode 4 and the semiconductor film 9 is laminated on this gate insulating film. Further, the gate bus 3, the drain electrode 5 and the source electrode 6 are provided on this semiconductor film 9. The gate bus 3 is connected via the contact hole 8 bored in the semiconductor film 9 and the gate insulating film 10. The drain electrode 5 is connected via the contact hole 8 bored in the semiconductor film 9 and the gate insulating film 10 to the drain bus 2. The resistance of the gate wiring is lowered in this way and the delay in the switching operation of the thin-film transistor is decreased.



Data supplied from the **esp@cenet** database - Worldwide

⑪ 公開特許公報 (A) 平4-26825

⑫ Int. Cl.⁵
G 02 F 1/136
H 01 L 29/784識別記号 500
行内整理番号 9018-2K⑬ 公開 平成4年(1992)1月30日
9056-4M H 01 L 29/78 311 A
審査請求 未請求 請求項の数 7 (全8頁)

⑭ 発明の名称 薄膜トランジスタアレイおよびその製造方法

⑮ 特願 平2-131754
⑯ 出願 平2(1990)5月22日⑰ 発明者 早坂 悟 東京都大田区雪谷大塚町1番7号 アルプス電気株式会社
内

⑱ 出願人 アルプス電気株式会社 東京都大田区雪谷大塚町1番7号

⑲ 代理人 弁理士 志賀 正武 外2名

明細書

1. 発明の名称

薄膜トランジスタアレイおよびその製造方法

2. 特許請求の範囲

(1) 基板上に、複数のゲートバスとドレインバスとが互いに絶縁層を介して交差するように形成され、この交差部付近の基板上にゲート電極と画素電極が設置され、それらの上にゲート絶縁膜と半導体膜が積層されて薄膜トランジスタが形成されてなる薄膜トランジスタアレイにおいて、ゲートバスとドレインバスが半導体膜の上に形成され、ゲートバスとゲート電極が、ゲート絶縁膜と半導体膜を貫通したコンタクトホールを介して接続され、さらに、ドレイン電極とドレインバスがゲート絶縁膜と半導体膜を貫通したコンタクトホールを介して接続されてなることを特徴とする薄膜トランジスタアレイ。

(2) 基板上に、複数のゲートバスとドレインバスとが互いに絶縁層を介して交差するように形成

され、この交差部付近の基板上にゲート電極と画素電極が設置され、それらの上にゲート絶縁膜と半導体膜が積層されて薄膜トランジスタアレイにおいて、ドレインバスが、基板上に形成されて上記交差部の近傍で分断された下部ドレインバスと、半導体膜上に形成された上部ドレインバスとの二層構造をなすとともに、上部ドレインバスと下部ドレインバスとが、ゲート絶縁膜と半導体膜を貫通したコンタクトホールを介して接続されてなることを特徴とする薄膜トランジスタアレイ。

(3) ゲートバスの膜厚がゲート電極の膜厚よりも厚いことを特徴とする請求項1または請求項2記載の薄膜トランジスタアレイ。

(4) 請求項1記載の薄膜トランジスタアレイにおいて、ゲートバスが、ゲート電極またはドレインバスよりも電気的に低抵抗な材料からなることを特徴とする薄膜トランジスタアレイ。

(5) 請求項2記載の薄膜トランジスタアレイにおいて、ゲートバスまたは上部ドレインバスが、

ゲート電極または下部ドレインバスよりも電気的に低抵抗な材料からなることを特徴とする薄膜トランジスタアレイ。

(6) 基板上にゲート電極とドレインバスを形成し、次に、それらの上にゲート絶縁膜と半導体膜を形成し、次いでゲート絶縁膜と半導体膜に複数のコンタクトホールを形成した後、半導体膜の上に、コンタクトホールを介してゲート電極に接続するゲートバスと、コンタクトホールを介してドレインバスに接続するドレイン電極と、コンタクトホールを介して画素電極に接続するソース電極とを各々形成することを特徴とする薄膜トランジスタアレイの製造方法。

(7) 基板上にゲート電極と下部ドレインバスを形成し、次に、それらの上にゲート絶縁膜、半導体膜を形成し、次いでゲート絶縁膜と半導体膜に複数のコンタクトホールを形成した後、半導体膜の上に、コンタクトホールを介してゲート電極に接続するゲートバスと、半導体膜の上にコンタクトホールを介して下部ドレインバスに接続する上

が設けられている。薄膜トランジスタはゲート電極25上に窒化ケイ素などからなるゲート絶縁膜24を設け、このゲート絶縁膜上に水素化アモルファスシリコンからなる半導体膜23を設け、さらにこの半導体膜23上にアルミニウムなどからなりドレインバス20と同時に形成されたドレイン電極22及びソース電極19を設けたものである。ソース電極19は半導体膜23とゲート絶縁膜24にあけられたコンタクトホール7aを介して画素電極1に接続されている。

前記構造の液晶表示装置において、画素表示するには各画素に設けた薄膜トランジスタをスイッチングすることにより行なわれる。このスイッチング動作はゲート電極25からの電界効果によるチャンネル導電度、即ち、ソース電極19とドレイン電極22の間に流れる電流により制御される。

「発明が解決しようとする課題」

ところで最近になって、10インチ以上の大画面かつ高精細の液晶表示装置が望まれるようになってきた。ところが、特に大画面の液晶表示装置に

下部ドレインバスと、コンタクトホールを介して画素電極に接続するソース電極とを形成することを特徴とする薄膜トランジスタアレイの製造方法。

3. 発明の詳細な説明

「産業上の利用分野」

この発明は、液晶表示装置等に設けられる薄膜トランジスタアレイおよびその製造方法に関するものである。

「従来の技術」

液晶表示装置のゲート配線材料としては、その開発当初からCr、Ta、Ti、Mo等の高融点金属材料が用いられてきた。この理由は、高融点金属材料が、下地基板との密着性、熱的安定性、化学的安定性、加工性に優れているからである。

第7図および第8図は従来の薄膜トランジスタアレイを示す図である。ガラス基板26上にモリブデン等からなるゲートバス21及びドレインバス20が互いに絶縁層を介して直交するように設けられている。また、ゲートバス21とドレイバース20の交差する部分の近くに薄膜トランジスタ

において、あるゲート電極25に走査信号を印加した時に、ゲートバス21自身の抵抗と容量との時定数により、薄膜トランジスタのスイッチング動作に遅延が生じてしまうという問題がある。

本発明は前記課題を解決するためになされたもので、ゲート配線自身の抵抗値を低減することにより、薄膜トランジスタのスイッチング動作の遅延を軽減するとともに、下地基板との密着性、熱的安定性、化学的安定性、加工性に優れていることはもとより、各画素に十分なゲート電圧と波形を供給するゲートバスとドレインバスを備える薄膜トランジスタアレイおよび、その製造方法の提供を目的とする。

「課題を解決するための手段」

請求項1に記載の発明では、前記課題を解決するために、基板上に、複数のゲートバスとドレインバスとが互いに絶縁層を介して交差するように形成され、この交差部付近の基板上にゲート電極と画素電極が設置され、それらの上にゲート絶縁膜と半導体膜が複層されて薄膜トランジスタが形

成されてなる薄膜トランジスタアレイにおいて、ゲートバスとドレインバスが半導体膜の上に形成され、ゲートバスとゲート電極が、ゲート絶縁膜と半導体膜を貫通したコンタクトホールを介して接続され、さらに、ドレイン電極とドレインバスがゲート絶縁膜と半導体膜を貫通したコンタクトホールを介して接続されてなることを特徴とする薄膜トランジスタアレイとした。

請求項2に記載の発明では、前記課題を解決するために、基板上に、複数のゲートバスとドレインバスとが互いに絶縁層を介して交差するように形成され、この交差部付近の基板上にゲート電極と画素電極が設置され、それらの上にゲート絶縁膜と半導体膜が積層されて薄膜トランジスタが形成されてなる薄膜トランジスタアレイにおいて、ドレインバスが、基板上に形成されて上記交差部の近傍で分断された下部ドレインバスと、半導体膜上に形成された上部ドレインバスとの二層構造をなすとともに、上部ドレインバスと下部ドレインバスとが、ゲート絶縁膜と半導体膜を貫通した

を形成し、次いでゲート絶縁膜と半導体膜に複数のコンタクトホールを形成した後、半導体膜の上に、コンタクトホールを介してゲート電極に接続するゲートバスと、コンタクトホールを介してドレインバスに接続するドレイン電極と、コンタクトホールを介して画素電極に接続するソース電極とを各々形成することを特徴とする薄膜トランジスタアレイの製造方法である。

請求項7記載の発明は、前記課題を解決するために、基板上にゲート電極と下部ドレインバスを形成し、次に、それらの上にゲート絶縁膜、半導体膜を形成し、次いでゲート絶縁膜と半導体膜に複数のコンタクトホールを形成した後、半導体膜の上にコンタクトホールを介してゲート電極に接続するゲートバスと、半導体膜の上にコンタクトホールを介して下部ドレインバスに接続する上部ドレインバスと、コンタクトホールを介して画素電極に接続するソース電極とを形成することを特徴とする薄膜トランジスタアレイの製造方法である。

コンタクトホールを介して接続されてなることを特徴とする薄膜トランジスタアレイとした。

請求項3に記載の発明では、前記課題を解決するために、ゲートバスの膜厚がゲート電極の膜厚よりも厚いことを特徴とする請求項1または請求項2記載の薄膜トランジスタアレイとした。

請求項4に記載の発明では、前記課題を解決するために、請求項1記載の薄膜トランジスタアレイにおいて、ゲートバスが、ゲート電極またはドレインバスよりも電気的に低抵抗な材料からなることを特徴とする薄膜トランジスタアレイとした。

請求項5に記載の発明では、前記課題を解決するために、請求項2記載の薄膜トランジスタアレイにおいて、ゲートバスまたは上部ドレインバスが、ゲート電極または下部ドレインバスよりも電気的に低抵抗な材料からなることを特徴とする薄膜トランジスタアレイとした。

請求項6記載の発明は、前記課題を解決するために、基板上にゲート電極とドレインバスを形成し、次に、それらの上にゲート絶縁膜と半導体膜

「実施例1」

第1図ないし第3図は本発明の実施例1を示す図で、第1図は平面図であり、第2図は第1図におけるA-A'断面図、第3図は第1図のB-B'断面図である。

この実施例ではガラスなどからなる基板26上にCr、Mo、Ta、Tiなどからなる高融点金属材料でゲート電極4とドレインバス2が形成され、さらに画素電極1が形成されている。ゲート電極4上には重化ケイ素などからなるゲート絶縁膜10及び、このゲート絶縁膜上には水素化アモルファスシリコンからなる半導体膜9が積層されている。さらに、この半導体膜9上には抵抗の小さい金属材料でゲートバス3とドレイン電極5およびソース電極6が設けられている。この実施例におけるゲートバス3とドレイン電極5を構成する金属材料は導電体であればどのような金属材料でもよいが、抵抗の小さい金属材料、例えば、Alを使用することにより、ゲート配線の抵抗値を下げることができる。

また、ゲートバス3は半導体膜9とゲート絶縁膜10にあけられたコンタクトホール8を介してゲート電極4に接続されてなる。さらに、ドレイン電極5は半導体膜9とゲート絶縁膜10にあけられたコンタクトホール7bを介してドレインバス2に接続されてなる。さらにまた、ソース電極6は半導体膜9とゲート絶縁膜10にあけられたコンタクトホール7aを介して画素電極1に接続されてなる。

前述の構造の薄膜トランジスタを製造するには、最初に、高融点金属材料からなるゲート電極4とドレインバス2をさらには、画素電極1をガラスなどからなる基板上に形成する。その後、ゲート電極上にゲート絶縁膜10を設け、さらに、ゲート絶縁膜上に半導体膜9を積層するとともに、コンタクトホール7a、7b、8を形成する。そして、半導体膜9上に抵抗の小さい金属材料でゲートバス3とドレイン電極5及びソース電極6を設ける。この時、ゲートバス3は半導体膜9とゲート絶縁膜10にあけられたコンタクトホール8を介して

難しくしてしまい、さらにまた、 ρ を小さくするために低比抵抗の材量にしてしまうと熱的安定性や化学的安定性に不安が生じるために、材量も自ずと制限されてしまうことがある。

そこでこの実施例においては、まず、下地の基板26との密着性、熱的安定性、化学的安定性、加工性の特に要求されるゲート電極4とドレインバス2は、上述された要求に対して優れた材料である高融点金属材料により形成している。

その上で、ゲートバス3とドレイン電極5及びソース電極6を抵抗値の低い金属材料、例えば、Alなどで形成することにより、ゲート配線の抵抗値を下げることができる。

さらに、この実施例の構造のように、ゲートバス3がゲート絶縁膜10と半導体膜9を貫通したコンタクトホール8を介してゲート電極に接続されているために、ゲート絶縁膜10のステップカバレッジを難しくすることなく、ゲートバス3の膜厚を厚くすることができる。

以上の構造および製造方法により、熱安定性や

ゲート電極4に接続する。ドレイン電極5は半導体膜9とゲート絶縁膜10にあけられたコンタクトホール7bを介してドレインバス2に接続する。ソース電極6は半導体膜9とゲート絶縁膜10にあけられたコンタクトホール7aを介して画素電極1に接続する。

ところで、ゲート配線(ゲートバス)の抵抗R(G)は、

$$R(G) = \rho \times L / (W \cdot d)$$

で表される。ここで、 ρ はゲート配線材料の比抵抗、 L はゲート配線の長さ、 W はゲート配線幅、 d はゲート配線の膜厚である。

ゲート配線の抵抗を低下させるためには、上式より、 ρ あるいは L を小さくするか、もしくは W あるいは d を大きくすることが容易に考えられる。しかしながら、実際の構成を考慮すると、 L はディスプレイの大きさにより決定され、また、 W は開口率により決定される。さらに、従来例では d をあまり厚くしてしまうと、ゲート配線の上に成長されるゲート絶縁膜10のステップカバレッジを

化学的安定性を損なわずに比抵抗を低下させ、また、ゲート配線の膜厚を厚くすることができる。従って、上式における d を大きくさせて、 ρ を小さくすることが可能となる。この結果、ゲート配線の抵抗R(G)を低くすることが実現できる。

さらには、本発明の薄膜トランジスタアレイのように、画素電極1とITO(透明導電膜)を最初に形成する構造の薄膜トランジスタ液晶表示装置では、画素とゲート電極をITOで形成して、ゲート電極を形成する工程を削減することが可能である。

「実施例2」

第4図ないし第6図は本発明の実施例2を示す図であり、第4図は平面図で、第5図は第4図におけるA-A'断面図、第6図は第4図のB-B'断面図である。

この実施例では、基板26上にCr、Mo、Ta、Tiなどからなる高融点金属材料でゲート電極4と下部ドレインバス13が形成されてなる。下部ドレインバス13は、第4図に示すようにゲート

バス3と同程度の幅を有し、その幅の数倍程度の長さを有するもので、ゲートバス3と絶縁膜を介して交差するよう形成されている。

そして、ゲート電極4上には、強化ケイ素などからなるゲート絶縁膜18及び、このゲート絶縁膜上に水素化アモルファスシリコンからなる半導体膜17が複層されている。さらに、この半導体膜17上には抵抗の小さい金属材料でゲートバス3とドレイン電極12と上部ドレインバス11とソース電極6が設けられている。

上部ドレインバス11は、前述の下部ドレインバス13を接続するためのもので、第4図の画素電極1の右下方の下部ドレインバス13の一端と右上方の下部ドレインバス13の一端とにオーバーラップするよう形成されている。そして、上部ドレインバス11の一端に接続されたドレイン電極12は半導体膜17とゲート絶縁膜18にあけられたコンタクトホール14を介して下部ドレインバス13の一端に接続されている。また、電気的に低抵抗な金属材料からなる上部ドレインバ

A1を使用することにより、ゲート配線の抵抗値を下げることができる。

前述の構造の薄膜トランジスタを製造するには、上述の高融点金属材料からなるゲート電極4と下部ドレインバス13をさらには、画素電極1をガラスなどからなる基板上に形成する。その後、ゲート電極4上にゲート絶縁膜18を設け、さらに、ゲート絶縁膜上に半導体膜17を複層するとともに、コンタクトホール7a、8、14を形成する。そして、半導体膜17上に抵抗の小さい金属材料でゲートバス3とドレイン電極12と上部ドレインバス11及びソース電極6を形成する。この時、ゲートバス3は半導体膜17とゲート絶縁膜18にあけられたコンタクトホール8を介してゲート電極4に接続し、また、ドレイン電極12は半導体膜17とゲート絶縁膜18にあけられたコンタクトホール14を介して下部ドレインバス13に接続し、ソース電極6は半導体膜17とゲート絶縁膜18にあけられたコンタクトホール7aを介して画素電極1に接続する。そして、上部ドレイ

ンバス11の他端はコンタクトホール15を介して高融点金属材料からなる第4図中右上方の下部ドレインバス13と接続し、さらに一方、図中右下方の上部ドレインバス11はコンタクトホール16を介して右下方の下部ドレインバス13の一端と接続している。このように低抵抗金属材料からなる上部ドレインバス11と高融点金属材料からなる下部ドレインバス13が繰り返し接続することにより、個々の画素の回路が液晶表示装置の画面全体にマトリクス状に配置することとなる。

また、ゲートバス3は半導体膜17とゲート絶縁膜18にあけられたコンタクトホール8を介してゲート電極4に接続されている。

さらに、ソース電極6は半導体膜17とゲート絶縁膜18にあけられたコンタクトホール7aを介して画素電極1に接続されている。

ここで、ゲートバス3とドレイン電極12と上部ドレインバス11とソース電極6の材質は実施例1と同様に、導電体であればどのような金属材料でもよいが、抵抗の小さい金属材料、例えば、

ンバス11はコンタクトホール15を介して第4図中右上方の下部ドレインバス13の一端と接続し、また、図中右下方の上部ドレインバス11はコンタクトホール16を介して下部ドレインバス13の一端と接続する。

以上のように、ゲート電極4と下部ドレインバス13を高融点金属材料により形成するので、下地基板との密着性、熱的安定性、化学的安定性、加工性を確保できる。その上、ゲートバス3とドレイン電極12及びソース電極6を抵抗値の低い金属材料、例えば、A1などで形成することにより、ゲート配線の抵抗値を下げることができる。

さらに、本発明の構造では、ゲートバス3がゲート絶縁膜18と半導体膜17を貫通したコンタクトホール8を介してゲート電極4に接続されるために、ゲート絶縁膜18のステップカバレッジを難しくすることなく、ゲートバス3の膜厚を厚くすることができる。

「製造例」

本発明における実施例1の薄膜トランジスタ

レイと第7図と第8図に示される従来例の薄膜トランジスタアレイを各々製造し、ゲート配線の抵抗 $R(G)$ を測定した。

尚、実施例1の薄膜トランジスタアレイのドレインバス2とゲート電極4の材質はCrとし、ゲートバス3及びドレイン電極5とソース電極6の材質はAlとした。また、従来例の薄膜トランジスタアレイのソース電極19、ドレインバス電極20、ゲートバス電極21の材質はCrとした。

以上の測定結果を第1表に示した。

第 1 章

	従来例	本発明例
ρ	12.9 $\mu\Omega\text{cm}$	2.7 $\mu\Omega\text{cm}$
d	1500 \AA	6000 \AA
w	10 μm	10 μm
L	25 cm	25 cm
$R(G)$	21.5 $k\Omega$	1.125 $k\Omega$

1 …… 固素電板、
 2, 2 0 …… ドレインバス、
 3, 2 1 …… ゲートバス、
 4, 2 5 …… ゲート電極、
 5, 1 2, 2 2 …… ドレイン電極、
 6, 1 9 …… ソース電極、
 7 a, 7 b, 8, 1 4, 1 5, 1 6 …… コンタクト
 ホール、
 9, 1 7, 2 3 …… 半導体膜、
 1 0, 1 8, 2 4 …… ゲート絶縁膜、
 1 1 …… 上部ドレインバス、
 1 3 …… 下部ドレインバス、
 2 6 …… 基板。

尚、本発明例のd値6000人はこれ以上とすることも可能である。

第1表の結果から、本発明例の薄膜トランジスタアレイのゲート配線の抵抗値 $R(G)$ は従来例の薄膜トランジスタアレイの抵抗値 $R(G)$ よりもはるかに小さいことが確認された。

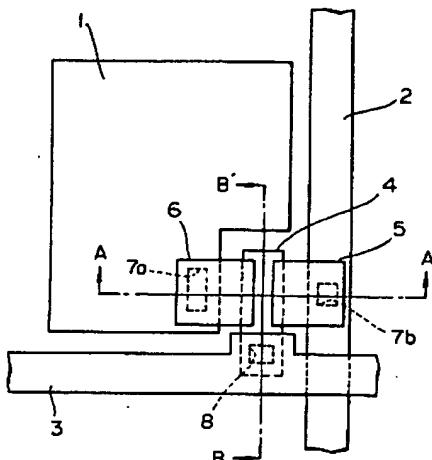
「発明の効果」

以上説明したように本発明の薄膜トランジスタアレイでは、下地基板との密着性、熱的安定性、化学的安定性、加工性に優れ、また、ゲート記録の抵抗値を小さくすることができ、薄膜トランジスタのスイッチング動作の遅延を軽減し、各画素に十分なゲート電圧と波形を供給することにより、より大きなディスプレイと高画質化を可能とした。

4. 図面の簡単な説明

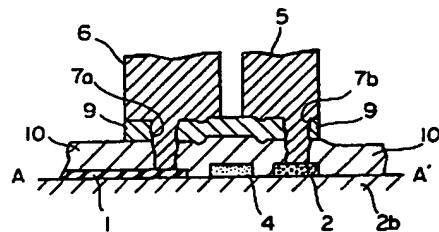
第1図は実施例1の平面図、第2図と第3図は各々実施例1の断面図、第4図は実施例2の平面図、第5図と第6図は各々実施例2の断面図、第7図は従来例の平面図、第8図は従来例の断面図である。

第1回

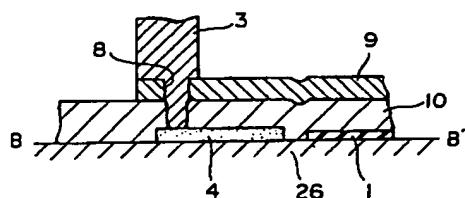


出願人 アルプス電気株式会社
代表者 片岡政隆

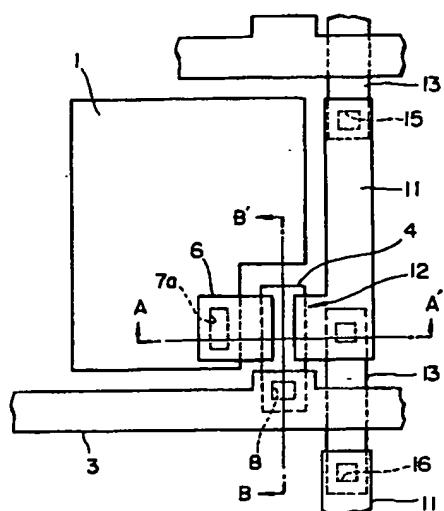
第2図



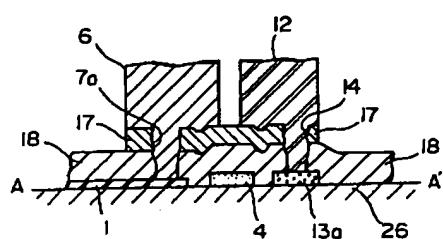
第3図



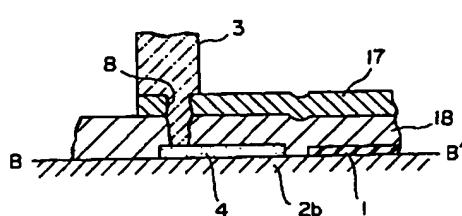
第4図



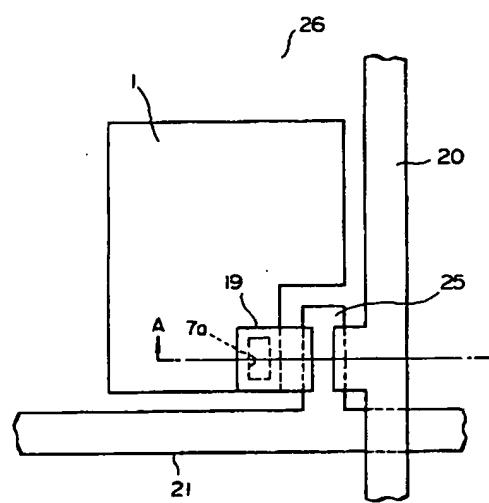
第5図



第6図



第7図



第8図

